

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353328
(43)Date of publication of application : 06.12.2002

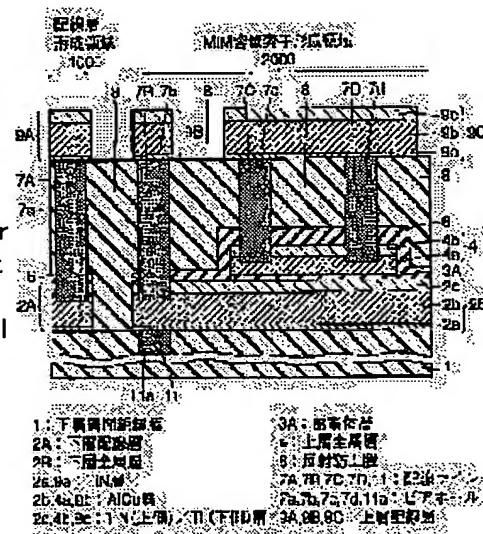
(51)Int.Cl. H01L 21/822
H01L 27/04

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a high reliability (life time) of an MIM capacitance element by improving a structure of the MIM capacitance element and by improving manufacturing process.

SOLUTION: A lower metal layer 2B is provided on a lower interlayer dielectric 1 in an MIM capacitance element forming region 2000. This lower metal layer 2B is manufactured by the same step as a lower wiring layer 2A. A dielectric layer 3A and an upper metal layer 4 that are patterned using the same mask are provided on the lower metal layer 2B. In a film thickness, the upper metal layer 4 is formed thinner than the lower metal layer 2B.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-353328

(P2002-353328A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51)Int.Cl.⁷
H 01 L 21/822
27/04

識別記号

F I
H 01 L 27/04

テマコード(参考)
C 5 F 0 3 8

審査請求 未請求 請求項の数13 O.L. (全16頁)

(21)出願番号 特願2001-162122(P2001-162122)

(22)出願日 平成13年5月30日 (2001.5.30)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 吉山 健司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 森田 清明

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

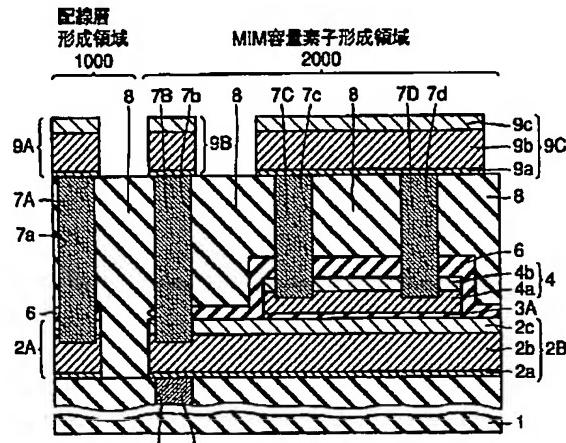
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 MIM容量素子の構造の改善、および製造工程の改善を図ることにより、MIM容量素子の高信頼性(寿命)を可能とする。

【解決手段】 MIM容量素子形成領域2000の下層間絶縁膜1の上には、下層金属層2Bが設けられている。この下層金属層2Bは、下層配線層2Aと同一工程により製造されている。下層金属層2Bの上には、同一のマスクを用いてパターニングされた、誘電体層3Aと、上層金属層4とが設けられている。上層金属層4は、下層金属層2Bよりも膜厚さが薄く形成されている。



1: 下層間絶縁膜

2A: 下層配線層

2B: 下層金属層

2a, 9a: TiN層

2b, 4a, 9b: AlCu層

2c, 4b, 9c: TiN(上側)/Ti(下側)層

3A: 誘電体層

4: 上層金属層

6: 反射防止膜

7A, 7B, 7C, 7D, 11: 配線ライン

7a, 7b, 7c, 7d, 11a: ピアホール

9a, 9b, 9c: 上層配線層

【特許請求の範囲】

【請求項1】 下層金属層と、誘電体層と、上層金属層とが積層してなる容量素子と、所定領域に設けられる配線層と、前記下層金属層に第1ビアホールを介して接続される第1配線ラインと、前記上層金属層に第2ビアホールを介して接続される第2配線ラインと、前記配線層に第3ビアホールを介して接続される第3配線ラインと、を備える半導体装置であって、
前記下層金属層は、前記配線層と同一製造工程で形成された同一部材からなり、
前記第1配線ラインおよび前記第2配線ラインは、前記第1ビアホール、前記第2ビアホール、および前記第3ビアホールが同時に形成された後、第3配線ラインと同一製造工程で形成された同一部材からなる、半導体装置。

【請求項2】 前記上層金属層の厚さは、前記下層金属層の厚さよりも薄く設けられる、請求項1に記載の半導体装置。

【請求項3】 前記誘電体層と、前記上層金属層とは、同一のマスクを用いてパターニングされることにより、それぞれ同一形状を有する、請求項1に記載の半導体装置。

【請求項4】 前記上層金属層は、前記誘電体層の上に設けられる第1金属層と、前記第1金属層の上に設けられる第2金属層とを有し、

前記第1金属層の端面は、前記第2金属層の端面よりも内側に後退するように設けられる、請求項1に記載の半導体装置。

【請求項5】 前記上層金属層の端面は、サイドウォール絶縁膜により覆われている、請求項1に記載の半導体装置。

【請求項6】 当該半導体装置の下方には、層間絶縁膜を介在して下層配線層が設けられ、前記容量素子を構成する前記上層金属層の下方領域において、前記下層金属層と前記下層配線層との間の前記層間絶縁膜には、ビアホールが存在しないことを特徴とする、請求項1に記載の半導体装置。

【請求項7】 当該半導体装置の下方には、層間絶縁膜が設けられ、前記容量素子を構成する前記上層金属層の下方領域の前記層間絶縁膜には、他の下層配線層が存在しないことを特徴とする、請求項1に記載の半導体装置。

【請求項8】 当該半導体装置の下方には、第1層間絶縁膜が設けられ、

前記第1層間絶縁膜の下方には、第2層間絶縁膜が設けられ、

前記第2層間絶縁膜の前記容量素子の下方領域には、金属配線層が設けられる、請求項1に記載の半導体装置。

【請求項9】 当該半導体装置は、動作に寄与しないダミー上層金属層とダミー下層金属層とを有するダミー容

量素子をさらに備え、平面的に見て、前記容量素子と前記ダミー容量素子とが均等に配置されていることを特徴とする、請求項1に記載の半導体装置。

【請求項10】 下層金属層と、誘電体層と、上層金属層とが積層してなる容量素子と、所定領域に設けられる配線層と、前記下層金属層に第1ビアホールを介して接続される第1配線ラインと、前記上層金属層に第2ビアホールを介して接続される第2配線ラインと、前記配線層に第3ビアホールを介して接続される第3配線ラインと、を備える半導体装置の製造方法であって、
前記配線層と同一製造工程で前記下層金属層を形成する工程と、

前記第1ビアホール、前記第2ビアホール、および前記第3ビアホールが同時に形成された後、前記第3配線ラインと同一製造工程で前記第1配線ラインおよび前記第2配線を形成する工程と、を備える、半導体装置の製造方法。

【請求項11】 前記上層金属層の厚さは、前記下層金属層の厚さよりも薄く形成される、請求項10に記載の半導体装置の製造方法。

【請求項12】 前記誘電体層と、前記上層金属層とは、同一のマスクを用いてパターニングされる、請求項10に記載の半導体装置の製造方法。

【請求項13】 前記誘電体層は、反射防止膜の機能を含む、請求項10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置およびその製造方法に関し、より特定的には、Metal Insulator or Metal (以下、MIMと称する) 容量素子の構造、およびその製造方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】 近年、アナログ回路において、高精度で大容量の容量素子の必要性が高まりつつある。従来は、容量素子として、ゲート容量素子、PIP (Poly Si Insulator Poly Si) 容量素子がアナログ回路に搭載されてきた。しかし、これらの容量素子の構造は、電極の高抵抗、空乏層膜厚の変化による容量値の電圧依存性等の問題を有し、
高精度な容量素子には適していない。また、PIP容量素子を有しない半導体装置の製造工程に比べ、PIP容量素子を有する半導体装置の製造工程は、熱処理工程が余分に必要となるため、高精度なトランジスタおよび抵抗素子の特性に影響を与え、それらの特性を考慮して製造工程の制御を行なうことは困難であった。

【0003】一方、特開2000-228497号公報、特開2000-101023、および米国特許公報

第5,926,359号公報等に開示されるMetal Insulator Metal (以下、MIMと称する) 容量素子は、上層電極および下層電極がMetal構造であるため、電極の

低抵抗化、空乏層による容量値の電圧依存性がない、MIM構造の形成時に、余分な熱処理が不要である、等の利点が挙げられ、アナログ回路においては、PIP容量素子に代わりMIM容量素子が使用されるようになってきている。

【0004】しかし、アナログ回路にMIM容量素子を用いる場合、MIM容量素子の高信頼性（寿命）に関して、さらなる構造および製造工程の最適化を図る必要がある。したがって、この発明の目的は、MIM容量素子を用いる半導体装置において、MIM容量素子の構造の改善、および製造工程の改善を図ることにより、MIM容量素子の高信頼性（寿命）を可能とすることにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明に基いた半導体装置の1つの局面においては、下層金属層と、誘電体層と、上層金属層とが積層してなる容量素子と、所定領域に設けられる配線層と、上記下層金属層に第1ビアホールを介して接続される第1配線ラインと、上記上層金属層に第2ビアホールを介して接続される第2配線ラインと、上記配線層に第3ビアホールを介して接続される第3配線ラインと、を備える半導体装置であって、上記下層金属層は、上記配線層と同一製造工程で形成された同一部材からなり、上記第1配線ラインおよび上記第2配線ラインは、上記第1ビアホール、上記第2ビアホール、および上記第3ビアホールが同時に形成された後、第3配線ラインと同一製造工程で形成された同一部材からなる。

【0006】上記半導体装置によれば、容量素子を構成する下層金属層が、配線層の製造工程で同時に形成されていることから、配線層を、配線層と下層金属層とに分離するための、マスク（写真製版工程）を1枚追加するのみでよく、下層金属層を形成するために別工程を設ける必要がなく、また、下層金属層に通じる第1ビアホール、上層金属層に通じる第2ビアホールを形成する工程、および第1および第2ビアホール内に、それぞれ第1および第2配線ラインを形成する工程においても、従来の配線層に通じる第3ビアホール、および第3ビアホール内に、第3配線ラインを形成する工程で同時に形成されているため、容易に本構造を得ることができる。

【0007】また、上記発明において好ましくは、上記上層金属層の厚さは、上記下層金属層の厚さよりも薄く設けられる。これにより、容量素子の上に形成される層間絶縁膜の表面のCMP技術による平坦化を容易にすることが可能となる。

【0008】また、上記発明において好ましくは、上記誘電体層と、上記上層金属層とは、同一のマスクを用いてパターニングされることにより、それぞれ同一形状を有する。

【0009】また、上記発明において好ましくは、上記上層金属層は、上記誘電体層の上に設けられる第1金属

層と、上記第1金属層の上に設けられる第2金属層とを有し、上記第1金属層の端面は、上記第2金属層の端面よりも内側に後退するように設けられる。この構成によれば、容量素子を構成する上層金属層の第1金属層の端面が、誘電体層の除去時に用いられるエッチャントに直接さらされないため、第1金属層の端部の損傷が緩和され、容量素子のリーク低減による容量素子の信頼性を向上させることができになる。

【0010】また、上記発明において好ましくは、上記10上層金属層の端面は、サイドウォール絶縁膜により覆われている。この構造によれば、少なくとも上層金属層の側面にがサイドウォール絶縁膜により覆われていることから、上層金属層の上に反射防止膜等が形成された場合においても、下層金属層と上層金属層との間ににおけるリークの防止を図ることが可能になる。

【0011】また、上記目的を達成するため、本発明に基いた半導体装置の他の局面においては、上記半導体装置の構成において、上記半導体装置の下方には、層間絶縁膜を介在して下層配線層が設けられ、上記容量素子を構成する上記上層金属層の下方領域において、上記下層金属層と上記下層配線層との間の上記層間絶縁膜には、ビアホールが存在しないことを特徴とする。この構成により、誘電体層に凹凸が生じることがなくなるため、誘電体層の表面積が設計値どおりとなり、容量素子の容量を安定させることができる。

【0012】また、上記目的を達成するため、本発明に基いた半導体装置のさらに他の局面においては、上記半導体装置の構成において、上記半導体装置の下方には、層間絶縁膜が設けられ、上記容量素子を構成する上記30上層金属層の下方領域の上記層間絶縁膜には、他の配線層が存在しないことを特徴とする。この構成により、配線層間に生じる寄生容量の低減が図られ、容量素子を有する半導体装置の機能の信頼性の向上を図ることが可能になる。

【0013】また、上記目的を達成するため、本発明に基いた半導体装置のさらに他の局面においては、上記半導体装置の構成において、上記半導体装置の下方には、第1層間絶縁膜が設けられ、上記第1層間絶縁膜の下方には、第2層間絶縁膜が設けられ、上記第2層間絶縁膜40の上記容量素子の下方領域には、金属配線層が設けられる。この構成により、容量素子に近接して設けられる素子または配線層の、容量素子からの影響を金属配線層によりシールドすることが可能になり、容量素子を有する半導体装置の機能の信頼性の向上を図ることが可能になる。

【0014】また、上記目的を達成するため、本発明に基いた半導体装置のさらに他の局面においては、上記半導体装置の構成において、さらに、動作に寄与しないダミー上層金属層とダミー下層金属層とを有するダミー容量素子を備え、平面的に見て、上記容量素子と上記ダミ

一容量素子とが均等に配置されていることを特徴とする。この構成により、チップ内に均一に高い領域（実際に機能する容量素子と、ダミーMIM容量素子）が形成されるため、層間絶縁膜が、CMP研磨により均一に平坦化されることが可能になる。

【0015】また、上記目的を達成するため、本発明に基いた半導体装置の製造方法においては、下層金属層と、誘電体層と、上層金属層とが積層してなる容量素子と、所定領域に設けられる配線層と、上記下層金属層に第1ビアホールを介して接続される第1配線ラインと、上記上層金属層に第2ビアホールを介して接続される第2配線ラインと、上記配線層に第3ビアホールを介して接続される第3配線ラインと、を備える半導体装置の製造方法であって、上記配線層と同一製造工程で上記下層金属層を形成する工程と、上記第1ビアホール、上記第2ビアホール、および上記第3ビアホールが同時に形成された後、上記第3配線ラインと同一製造工程で上記第1配線ラインおよび上記第2配線を形成する工程とを備える。

【0016】この製造方法によれば、容量素子を構成する下層金属層を、下層配線層の製造工程で同時に形成することが可能になり、配線層を下層配線層と下層金属層に分離するための、マスク（写真製版工程）を1枚追加するのみでよく、下層金属層を形成するために別工程を設ける必要がない。

【0017】また、下層金属層に通じる第1ビアホール、上層金属層に通じる第2ビアホールを形成する工程、および第1および第2ビアホール内に、それぞれ第1および第2ラインを形成する工程においても、従来的下層配線層に通じる第3ビアホール、および第3ビアホール内に、第3配線ラインを形成する工程で同時に形成することが可能になり、第1、第2ビアホール、および第1、第2配線ラインを形成するために別工程を設ける必要がない。

【0018】また、好ましくは、上記上層金属層の厚さが、上記下層金属層の厚さよりも薄く形成される。これにより、層間絶縁膜の表面のCMP技術による平坦化を容易にすることが可能となる。

【0019】また、好ましくは、上記誘電体層と、上記上層金属層とは、同一のマスクを用いてバーニングされる。これにより、製造工程の簡略化を図ることが可能になる。

【0020】また、好ましくは、上記誘電体層は、反射防止膜の機能を含む。これにより、後工程において、反射防止膜を形成する必要がなくなり、製造工程の簡略化を図ることが可能になる。

【0021】

【発明の実施の形態】以下、本発明に基いた各実施の形態における半導体装置およびその製造方法について、図を参照して説明する。

【0022】（実施の形態1）本実施の形態における半導体装置およびその製造方法について、図1から図6を参照して説明する。なお、図1は、本実施の形態におけるMIM容量素子を有する半導体装置の構造を示す断面図であり、図2から図6は、図1の断面構造にしたがつた製造方法を示す製造工程図である。

【0023】（断面構造）図1を参照して、本実施の形態における半導体装置は、配線層形成領域1000と、MIM容量素子形成領域2000とを有する。下層層間絶縁膜1が、配線層形成領域1000およびMIM容量素子形成領域2000の両領域に設けられている。下層層間絶縁膜1のMIM容量素子形成領域2000には、ビアホール11a内に配線ライン11が設けられている。

【0024】配線層形成領域1000の下層層間絶縁膜1の上には、下層配線層2Aが設けられている。この下層配線層2Aは、TiN層2a、AlCu層2b、およびTiN/Ti層2bから構成される。下層配線層2Aの上方には、層間絶縁膜8を介在して、上層配線層9Aが設けられている。上層配線層9Aも、下層配線層2Aと同様に、TiN層9a、AlCu層9b、およびTiN（上側）/Ti（下側）層9cから構成される。

【0025】下層配線層2Aと上層配線層9Aとは、層間絶縁膜8のビアホール7a内に設けられた配線ライン7Aにより電気的に接続されている。なお、下層配線層2Aの表面には、P-SiONからなる反射防止膜6が形成されている。この反射防止膜6は、後述する製造工程において用いられるものである。

【0026】MIM容量素子形成領域2000の下層層間絶縁膜1の上には、下層金属層2Bが設けられている。この下層金属層2Bは、下層配線層2Aと同一工程により製造されているため、TiN層2a、AlCu層2b、およびTiN（上側）/Ti（下側）層2cから構成される。

【0027】下層金属層2Bの上には、所定形状にバーニングされた、P-TESOからなる誘電体層3Aと、上層金属層4とが設けられている。上層金属層4は、AlCu/Ti（100nm/50nm）層4a、およびTiN（上側）/Ti（下側）層4bから構成される。上層金属層4の上面および側面、誘電体層3Aの側面を覆い、かつ、露出する下層金属層2Bの表面を覆うように、P-SiONからなる反射防止膜6が設けられている。

【0028】上層金属層4の上方には、層間絶縁膜8を介在して、上層配線層9B、9Cが設けられている。上層配線層9B、9Cは、上記上層配線層9Aと同様に、TiN層9a、AlCu層9b、およびTiN（上側）/Ti（下側）層9cから構成される。

【0029】下層金属層2Bと上層配線層9Bとは、層間絶縁膜8のビアホール7b内に設けられた配線ライン

7Bにより電気的に接続されている。また、上層金属層4と上層配線層9Cとは、層間絶縁膜8のビアホール7c、7d内に設けられた配線ライン7C、7Dにより電気的に接続されている。

【0030】(製造工程) 次に、図2から図6を参照して、上記構成からなる半導体装置の製造方法について説明する。まず、図2を参照して、ビアホール11aに設けられた配線ライン11を有する下層層間絶縁膜1の上に、下層配線層2A、およびMIM容量素子の下層金属層2Bを構成する配線層2を形成する。この配線層2としては、膜厚さ約50nmのTiN層2a、膜厚さ約300nmのAlCu層2b、および膜厚さ約30nm/2nmのTiN/Ti層2cを順次形成する。次に、TiN/Ti層2cの上に、誘電体層3Aとして、たとえばP-TESOを約50nm形成する。

【0031】次に、MIM容量素子の上層金属層4を構成する、膜厚さ約100nmのAlCu/Ti(100nm/50nm)層4a、および膜厚さ約30nm/2nmのTiN/Ti層4bを形成する。なお、上層金属層4の膜厚さは、少なくとも下層電極2Bを構成する配線層2の膜厚さより薄く形成することにより、後に形成する層間絶縁膜8の平坦化を容易にする。次に、MIM容量素子形成領域2000に、写真製版技術により、所定形状のパターンを有するレジスト膜5を形成する。

【0032】次に、図3を参照して、レジスト膜5をマスクにして、C₁₂とBC₁₃との混合ガスを用いて、誘電体層3A、および上層金属層4のパターニングを行なう。その後、レジスト膜5の除去を行なう。なお、上層金属層4のみをレジスト膜5を用いてパターニングし、その後、レジスト膜5を除去して、エッチバックにより誘電体層3Aを除去することも可能である。この場合には、上層金属層4の最上層に保護膜として、たとえばP-TESO膜を約50nm積層しても構わない(図示省略)。

【0033】次に、図4を参照して、上層金属層4の上面および側面、誘電体層3Aの側面を覆い、かつ、露出する配線層2の表面を覆うように、膜厚さ約50nmのP-SiONからなる反射防止膜6を形成する。次に、反射防止膜6の上に、写真製版技術を用いて、配線層形成領域1000と、MIM容量素子形成領域2000との境界領域に、所定の開口部17aを有するレジスト膜17を形成する。その後、図5を参照して、このレジスト膜17をマスクにして、反射防止膜6および配線層2のエッチングを行なう。これにより、配線層形成領域1000において、下層配線層2Aおよび下層金属層2Bが完成する。その後、レジスト膜17を除去する。

【0034】次に、図6を参照して、下層層間絶縁膜1の上方全面に、層間絶縁膜8を形成する。その後、層間絶縁膜8に、下層配線層2Aに通じるビアホール7a、下層金属層2Bに通じるビアホール7b、上層金属層4

に通じるビアホール7c、7dを同時に形成し、各ビアホール7a、7b、7c、7d内に、それぞれ配線ライン7A、7B、7C、7Dを同時に形成する。その後、層間絶縁膜8の上面に、TiN層9a、AlCu層9b、およびTiN/Ti層9cを形成し、所定の形状にパターニングを行なうことにより、配線ライン7Aに接続する上層配線層9A、配線ライン7Bに接続する上層配線層9B、配線ライン7C、7Dに接続する上層配線層9Cを形成する。これにより、図1に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。なお、上層配線層9A、上層配線層9Bおよび上層配線層9Cは、アルミからなる配線層でも構わない。

【0035】なお、上記半導体装置の製造方法において、誘電体層3は窒化膜系の単層構造、酸化膜系と窒化膜系との2層構造のいずれの構造を採用しても同様の作用・効果が得られる。また、MIM容量素子の上層金属層4は最下層にコンダクティングレイヤとして、たとえば、TiN層を追加しても同様の作用・効果が得られる。また、反射防止膜6を省略しても同様の効果が得られる。

【0036】また、上層金属層4および下層金属層2Bの積層構造としては、上記積層構造以外に、Cu(上側)/TaN(下側)、Cu(上側)/Ta/TaN(下側)が挙げられる。

【0037】(作用・効果) 以上、本実施の形態における半導体装置およびその製造方法によれば、MIM容量素子を構成する下層金属層2Bを、下層配線層2Aの製造工程で同時に形成することが可能になり、図5に示すように、配線層2を下層配線層2Aと下層金属層2Bに分離するためのマスク(写真製版工程)を1枚追加するのみでよく、下層金属層2Bを形成するために別工程を設ける必要がない。

【0038】また、層間絶縁膜8に、下層金属層2Bに通じるビアホール7b、上層金属層4に通じるビアホール7c、7dを形成する工程、および各ビアホール7b、7c、7d内に、それぞれ配線ライン7B、7C、7Dを形成する工程においても、従来の下層配線層2Aに通じるビアホール7a、およびビアホール7a内に、配線ライン7Aを形成する工程で同時に形成することができなり、ビアホール7b、7c、7d、および配線ライン7B、7C、7Dを形成するために別工程を設ける必要がない。

【0039】さらに、上層金属層4の膜厚さが、下層金属層2Bの膜厚さよりも薄く形成されることにより、層間絶縁膜8の表面のCMP技術による平坦化を容易にすることが可能となる。

【0040】(実施の形態2) 次に、実施の形態2における半導体装置およびその製造方法について、図7から図11を参照して説明する。なお、図7は、本実施の形態における半導体装置の構造を示す断面図であり、図8

から図11は、図7の断面構造にしたがった製造方法を示す製造工程図である。

【0041】(断面構造)図7を参照して、本実施の形態における半導体装置の断面構造の特徴は、上記実施の形態1の構造と比較した場合、実施の形態1においては、誘電体層3Aが、上層金属層4と同一形状にパターニングされているのに対して、本実施の形態においては、誘電体層3Bが、下層金属層2Bの表面を覆うように形成されている点が相違する。上記実施の形態1の構造は、誘電体膜3Aに反射防止膜の機能を兼用させることができない場合に採用される構造であるのに対して、本実施の形態の構造は、誘電体膜3Aに反射防止膜の機能を兼用させることができる場合に採用可能な構造である。なお、他の構造については、実施の形態1と同一の構造からなるため、同一または相当部分については、実施の形態1と同一の参考番号を付し、詳細な説明は省略する。

【0042】(製造工程)次に、図8から図11を参照して、上記構成からなる半導体装置の製造方法について説明する。まず、図8を参照して、所定形状のレジスト膜5を形成するまでは、上記図2で説明した製造工程と同様にして形成する。なお、TiN(上側)/Ti(下側)層2cの上に、誘電体膜3Aに代わり誘電体膜3Bとして、反射防止膜の機能を有するものとして、たとえばP-SiO、P-SiON、P-SiN、またはTaO₂(タンタルオキサイド系)等を約50nm形成する。

【0043】次に、図9を参照して、レジスト膜5をマスクにして、塩素系エッチャント(Cl₂+BCl₃)を用いて、上層金属層4のみパターニングを行なう。その後、レジスト膜5を除去する。

【0044】次に、図10を参照して、図4で説明した工程と同様に、誘電体膜3Bおよび上層金属層4の上に、写真製版技術を用いて、配線層形成領域1000と、MIM容量素子形成領域2000との境界領域に、所定の開口部17aを有するレジスト膜17を形成する。その後、このレジスト膜17をマスクにして、誘電体膜3Bおよび配線層2のエッチングを行なう。これにより、配線層形成領域1000において、下層金属層2Bが完成する。

【0045】次に、図11を参照して、レジスト膜17を除去した後、上記実施の形態1の図5および図6に示す工程と同様の工程を採用することにより、図7に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。

【0046】(作用・効果)以上、本実施の形態における半導体装置およびその製造方法によれば、上記実施の形態1における半導体装置およびその製造方法と同様の作用効果を得ることができる。また、本実施の形態によれば、実施の形態1における製造方法に比べ、反射防止

膜を成膜する工程を無くすことができるために、製造工程数を削減することができる。

【0047】さらに、上記実施の形態1に比べ、誘電体膜3Bのパターニングを行なう必要がないため、誘電体膜3Bのパターニングに用いられるエッチャントに上層金属層4の端部がさらされないため(図7および図9の丸印15で囲まれた領域)、上層金属層4の端部の損傷(特に、AlCu/Ti(100nm/50nm)層4aの損傷)が緩和され、MIM容量素子のリーク低減によるMIM容量素子の信頼性を向上させることができくなる。

【0048】また、上記実施の形態1において、反射防止膜6が高絶縁体でない場合には、上層金属層4と下層金属層2Bとの間で短絡するおそれがあるが、本実施の形態における構成においては、下層金属層2Bと上層金属層4との間での短絡が生じることはない。

【0049】(実施の形態3)次に、実施の形態3における半導体装置およびその製造方法について、図12から図16を参照して説明する。なお、図12は、本実施の形態における半導体装置の構造を示す断面図であり、図13から図16は、図12の断面構造にしたがった製造方法を示す製造工程図である。

【0050】(断面構造)図12を参照して、本実施の形態における半導体装置の断面構造の特徴は、上記実施の形態1の構造と比較した場合、実施の形態1においては、上層金属層4を構成するAlCu/Ti(100nm/50nm)層4aの端面とTiN(上側)/Ti(下側)層4bの端面とが同一の位置となるように設けられている。しかし、本実施の形態においては、AlCu/Ti(100nm/50nm)層4aの端面がTiN(上側)/Ti(下側)層4bの端面よりも内側に後退している点に特徴がある。したがって、TiN(上側)/Ti(下側)層4bの端面と、反射防止膜6との間には空洞部4Bが形成されている。なお、他の構造については、実施の形態1と同一の構造からなるため、同一または相当部分については、実施の形態1と同一の参考番号を付し、詳細な説明は省略する。

【0051】(製造工程)次に、図13から図16を参照して、上記構成からなる半導体装置の製造方法について説明する。まず、図13を参照して、所定形状のレジスト膜5を形成するまでは、上記図2で説明した製造工程と同様にして形成する。

【0052】次に、図14を参照して、レジスト膜5をマスクにして、上層金属層4のみをパターニングし、上層金属層4を形成している積層膜を利用してサイドエッチを行なう。本実施の形態においては、上層金属層4が、AlCu/Ti(100nm/50nm)層4aとTiN(上側)/Ti(下側)層4bとの積層構造からなるため、AlCu/Ti(100nm/50nm)層4aの端面がTiN(上側)/Ti(下側)層4bの端

面よりも後退するようにエッティングを行なう。具体的には、TiN（上側）/Ti（下側）層4bよりAlCu/Ti（100nm/50nm）層4aの方がエッティングレートが速い、たとえば塩素系エッチャント（C₁₂+BCl₃）を用いてエッティングを行なうか、もしくは、実施の形態1の場合と同様に、AlCu/Ti（100nm/50nm）層4aおよびTiN（上側）/Ti（下側）層4bのエッティングを行なった後に、AlCu/Ti（100nm/50nm）層4aのみをリン酸でウエットエッティングを行なう。

【0053】次に、図15を参照して、誘電体層3Aを、エッチバックで除去する。その後、図16を参照して、上層金属層4の上面および側面、誘電体層3Aの側面を覆い、かつ、露出する配線層2の表面を覆うよう、膜厚さ約50nmのP-SiONからなる反射防止膜6を形成する。次に、反射防止膜6の上に、写真製版技術を用いて、配線層形成領域1000と、MIM容量素子形成領域2000との境界領域に、所定の開口部17aを有するレジスト膜17を形成する。その後、上記実施の形態1の図5および図6に示す工程と同様の工程を採用することにより、図12に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。

【0054】（作用・効果）以上、本実施の形態における半導体装置およびその製造方法によれば、上記実施の形態1における半導体装置およびその製造方法と同様の作用効果を得ることができる。また、本実施の形態によれば、MIM容量素子を構成する上層金属層4のAlCu/Ti（100nm/50nm）層4aの端面が、誘電体層3Aの除去時に用いられるエッチャントに直接さらされないため、上層金属層4の端部の損傷（特に、図12および図15の丸印15で囲まれた領域の損傷）が緩和され、MIM容量素子のリーク低減によるMIM容量素子の信頼性を向上させることが可能になる。なお、TiN（上側）/Ti（下側）層4bの端面がAlCu/Ti（100nm/50nm）層4aの端面よりも外側に突出する構造となるため、Ti（下側）層4bの突出部分の剥がれ等による発塵に注意する必要がある。

【0055】（実施の形態4）次に、実施の形態4における半導体装置およびその製造方法について、図17から図19を参照して説明する。なお、図17は、本実施の形態における半導体装置の構造を示す断面図であり、図18および図19は、図17の断面構造にしたがった製造方法を示す製造工程図である。

【0056】（断面構造）図17を参照して、本実施の形態における半導体装置の断面構造の特徴は、上記実施の形態3の構造と比較した場合、実施の形態3においては、誘電体層3Aが、TiN（上側）/Ti（下側）層4bと同一形状にバーニングされているのに対して、本実施の形態においては、誘電体層3Bが、下層金属層2Bの表面を覆うように形成されている点が相違する。

上記実施の形態3の構造は、実施の形態1の構造の場合と同様に、誘電体膜3Aに反射防止膜の機能を兼用させることができない場合に採用される構造であるのに対して、本実施の形態の構造は、実施の形態2の構造の場合と同様に、誘電体膜3Aに反射防止膜の機能を兼用させることができる場合に採用可能な構造である。なお、他の構造については、実施の形態3と同一の構造からなるため、同一または相当部分については、実施の形態3同一の参考番号を付し、詳細な説明は省略する。

10 【0057】（製造工程）次に、図18および図19を参照して、上記構成からなる半導体装置の製造方法について説明する。まず、図18を参照して、所定形状のレジスト膜5を形成するまでは、上記図2で説明した製造工程と同様にして形成する。なお、TiN（上側）/Ti（下側）層2cの上に、誘電体膜3Aに代わり誘電体膜3Bとして、反射防止膜の機能を有するものとして、たとえばP-SiO、P-SiON、P-SiN、またはTaO₂（タンタルオキサイド系）等を約50nm形成する。

20 【0058】次に、図19を参照して、レジスト膜5をマスクにして、上層金属層4のみをバーニングし、上層金属層4を形成している積層膜を利用してサイドエッチを行なう。本実施の形態においては、上記実施の形態3の場合と同様に、上層金属層4が、AlCu/Ti（100nm/50nm）層4aとTiN（上側）/Ti（下側）層4bとの積層構造からなるため、AlCu/Ti（100nm/50nm）層4aの端面がTiN（上側）/Ti（下側）層4bの端面よりも後退するようにエッティングを行なう。具体的には、TiN（上側）/Ti（下側）層4bよりAlCu/Ti（100nm/50nm）層4aの方がエッティングレートが速い、たとえば塩素系エッチャント（C₁₂+BCl₃）を用いてエッティングを行なうか、もしくは、実施の形態1の場合と同様に、AlCu/Ti（100nm/50nm）層4aおよびTiN（上側）/Ti（下側）層4bのエッティングを行なった後に、AlCu/Ti（100nm/50nm）層4aのみをリン酸でウエットエッティングを行なう。

30 【0059】その後、図10、図11、および図5および図6に示す工程と同様の工程を採用することにより、図17に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。なお、本実施の形態においても、TiN（上側）/Ti（下側）層4bの端面がAlCu/Ti（100nm/50nm）層4aの端面よりも外側に突出する構造となるため、Ti（下側）層4bの突出部分の剥がれ等による発塵に注意する必要がある。

40 【0060】（作用・効果）以上、本実施の形態における半導体装置およびその製造方法によれば、上記実施の形態3における半導体装置およびその製造方法と同様の

50 形態3における半導体装置およびその製造方法と同様の

作用効果を得ることができる。また、本実施の形態によれば、実施の形態3における製造方法に比べ、反射防止膜を成膜する工程を無くすことができるため、製造工程数を削減することが可能になる。

【0061】さらに、上記実施の形態3に比べ、誘電体膜3Bのパターニングを行なう必要がないため、誘電体膜のパターニングに用いられるエッチャントに上層金属層4の端部がさらされないため(図17および図19の丸印15で囲まれた領域)、上層金属層4の端部の損傷(特に、AlCu/Ti(100nm/50nm)層4aの損傷)が緩和され、MIM容量素子のリーク低減によるMIM容量素子の信頼性を向上させることが可能になる。

【0062】また、上記実施の形態3において、反射防止膜6が高絶縁体でない場合には、上層金属層4と下層金属層2Bとの間で短絡するおそれがあるが、本実施の形態における構成においては、下層金属層2Bと上層金属層4との間での短絡が生じることはない。

【0063】(実施の形態5)次に、実施の形態5における半導体装置およびその製造方法について、図20から図25を参照して説明する。なお、図20は、本実施の形態における半導体装置の構造を示す断面図であり、図21から図25は、図20の断面構造にしたがった製造方法を示す製造工程図である。

【0064】(断面構造)図20を参照して、本実施の形態における半導体装置の断面構造の特徴は、上記実施の形態1の構造と比較した場合、誘電体層3Aおよび上層金属層4の側面にサイドウォール10aが設けられている点にある。なお、他の構造については、実施の形態1と同一の構造からなるため、同一または相当部分については、実施の形態1と同一の参考番号を付し、詳細な説明は省略する。

【0065】(製造工程)次に、図21から図25を参照して、上記構成からなる半導体装置の製造方法について説明する。まず、図21を参照して、所定形状のレジスト膜5を形成するまでは、上記図2で説明した製造工程と同様にして形成する。

【0066】次に、図22を参照して、上記図3で説明した製造工程と同様に、レジスト膜5をマスクにして、C₁₂とBC₁₃との混合ガスを用いて、誘電体層3A、および上層金属層4のパターニングを行なう。その後、レジスト膜5の除去を行なう。その後、図23を参照して、上層金属層4の上面および側面、誘電体層3Aの側面、露出する配線層2の表面を覆うように絶縁膜として、たとえばP-TEOS膜10を約50nm形成する。

【0067】次に、図24を参照して、P-TEOS膜10を配線層2が露出するまでエッチバックを行ない、誘電体層3Aおよび上層金属層4の側面にP-TEOS膜からなるサイドウォール10aを形成する。その後、

図25を参照して、上層金属層4の上面、およびサイドウォール10aを覆い、かつ、露出する配線層2の表面を覆うように、膜厚さ約50nmのP-SiONからなる反射防止膜6を形成する。その後、上記実施の形態1における図4から図6で説明した製造工程を採用することにより、図20に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。

【0068】(作用・効果)以上、本実施の形態における半導体装置およびその製造方法によれば、上記実施の形態1における半導体装置およびその製造方法と同様の作用効果を得ることができる。また、上記実施の形態1の構造によれば、誘電体層3Aの除去時に荒れた上層金属層4の側面が直接反射防止膜6と接しているため、上層金属層4の側面と反射防止膜6との間で電界集中が生じやすく、その結果リークが生じやすかったが、本実施の形態における半導体装置の構造によれば、誘電体層3Aおよび上層金属層4の側面にサイドウォール10aが設けられていることから、下層金属層2Bと上層金属層4との間におけるリークの防止を図ることが可能になる。

【0069】(実施の形態6)次に、実施の形態6における半導体装置およびその製造方法について、図26から図30を参照して説明する。なお、図26は、本実施の形態における半導体装置の構造を示す断面図であり、図27から図30は、図26の断面構造にしたがった製造方法を示す製造工程図である。

【0070】(断面構造)図26を参照して、本実施の形態における半導体装置の断面構造の特徴は、上記実施の形態5の構造と比較した場合、上層金属層4の側面にのみサイドウォール10bが設けられており、サイドウォール10bの下方にまで誘電体層3Aが延びて形成されている点にある。なお、他の構造については、実施の形態5と同一の構造からなるため、同一または相当部分については、実施の形態5と同一の参考番号を付し、詳細な説明は省略する。

【0071】(製造工程)次に、図27から図30を参照して、上記構成からなる半導体装置の製造方法について説明する。まず、図27を参照して、所定形状のレジスト膜5を形成するまでは、上記図2で説明した製造工程と同様にして形成する。

【0072】次に、図28を参照して、上記図9で説明した製造工程と同様に、レジスト膜5をマスクにして、塩素系エッチャント(C₁₂+BC₁₃)を用いて、上層金属層4のみパターニングを行なう。その後、レジスト膜5を除去する。

【0073】次に、図29を参照して、上層金属層4の上面および側面、露出する誘電体層3Aの表面を覆うように絶縁膜として、たとえばP-TEOS膜10を約50nm形成する。

【0074】次に、図30を参照して、露出する誘電体

層3AおよびP-T EOS膜10を、配線層2が露出するまでエッチバックを行ない、上層金属層4の側面にのみP-T EOS膜からなるサイドウォール10bを形成する。その後、上記実施の形態1における図4から図6で説明した製造工程を採用することにより、図26に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。

【0075】(作用・効果)以上、本実施の形態における半導体装置およびその製造方法によれば、上記実施の形態5における半導体装置およびその製造方法と同様の作用効果を得ることができる。また、本実施の形態によれば、上層金属層4の側面にのみサイドウォール10bを設けるプロセスを採用していることから、誘電体膜3Aのパターニングに用いられるエッチャントに上層金属層4の端部がさらされないため(図26および図30の丸印15で囲まれた領域)、上層金属層4の端部の損傷(特に、AlCu/Ti(100nm/50nm)層4aの損傷)が緩和され、MIM容量素子のリーク低減によるMIM容量素子の信頼性を向上させることが可能になる。

【0076】(実施の形態7)次に、実施の形態7における半導体装置およびその製造方法について、図31および図32を参照して説明する。なお、図31は、本実施の形態における半導体装置の構造を示す断面図であり、図32は、図31の断面構造にしたがった製造方法を示す製造工程図である。

【0077】(断面構造)図31を参照して、本実施の形態における半導体装置の断面構造の特徴は、上記実施の形態5および6の半導体装置の構造と比較した場合、誘電体層3Bが、下層金属層2Bの表面を覆うように形成されている点にある。上記実施の形態5および6の構造は、誘電体膜3Aに反射防止膜の機能を兼用させることができない場合に採用される構造であるのに対して、本実施の構造は、誘電体膜3Bに反射防止膜の機能を兼用させることができる場合に採用可能な構造である。また、上層金属層4の側面にのみサイドウォール10cが設けられている。なお、他の構造については、上記実施の形態5および6と同一構造からなるため、同一または相当部分については、上記実施の形態5および6同一の参考番号を付し、詳細な説明は省略する。

【0078】(製造工程)次に、上記構成からなる半導体装置の製造方法について説明する。図32を参照して、上述した図27から図29に示す工程において、誘電体膜3Aを形成する代わりに、TiN(上側)/Ti(下側)層2cの上に、誘電体膜3Bとして、反射防止膜の機能を有するものとして、たとえばP-SiO_x、P-SiON、P-SiN、またはTa₂O₅(タンタルオキサイド系)等を約50nm形成する。その後、P-T EOS膜10を、誘電体膜3Bが露出するまでエッチバックを行ない、上層金属層4の側面にのみP-T EOS

膜からなるサイドウォール10cを形成する。その後、上記実施の形態1における図4から図6で説明した製造工程を採用することにより、図31に示す本実施の形態におけるMIM容量素子を有する半導体装置が完成する。

【0079】(作用・効果)以上、本実施の形態における半導体装置およびその製造方法によれば、上記実施の形態6における半導体装置およびその製造方法と同様の作用効果を得ることができる。また、本実施の形態によれば、実施の形態6における製造方法に比べ、反射防止膜を成膜する工程を無くすことができるため、製造工程数を削減することが可能になる。

【0080】(実施の形態8)次に、上記各実施の形態における半導体装置のレイアウトについて検討する。なお、代表的なMIM容量素子を備える半導体装置として実施の形態1における半導体装置を用いた場合のレイアウトについて以下検討するが、実施の形態2から7に示す半導体装置においても同様である。

【0081】図33は、実施の形態1における半導体装置を用いて、下層金属層2Bの接続方法に何ら制限がない場合のレイアウト構造を示す断面構造図である。下層金属層2Bの直下には、下層層間絶縁膜1を介在して、TiN層12a、AlCu層12b、およびTiN/Ti層12cからなる下層配線層12が設けられ、下層金属層2Bと下層配線層12との間は、下層層間絶縁膜1のピアホール7e、7f、7gに設けられた配線ライン7E、7F、7Gにより接続されている。

【0082】ここで、配線ライン7E、7F、7Gが設けられることにより、図34の拡大断面図に示すように、誘電体層3Aおよび下層金属層2Bには、ピアホール7e、7f、7gに対応した凹部(図34中のXで囲まれる領域)が形成されるため、誘電体層3Aの表面積が設計値に対して変動し、MIM容量素子の容量が安定しない問題が考えられる。

【0083】そこで、図35の断面構造図に示す本実施の形態における半導体装置のレイアウトによれば、下層金属層2Bの下方には、配線ライン7F、7Gを設けず、ピアホール11aに配線ライン11のみを設けるようしている。

【0084】(作用・効果)このレイアウトを採用することにより、誘電体層3Aに凹凸が生じることがなくなるため、誘電体層3Aの表面積が設計値どおりとなり、MIM容量素子の容量を安定させることができる。

【0085】(実施の形態9)次に、本実施の形態における半導体装置のレイアウトについて説明する。上記図35に示す実施の形態8におけるレイアウトにおいては、下層金属層2Bと下層配線層12との間ににおける寄生容量が問題となる場合が考えられる。そこで、本実施の形態においては、図36の断面構造に示すように、この寄生容量の問題を解消するために、MIM容量素子を

構成する下層金属層2Bの直下のレイヤには、下層配線層12を設けない構造としている。なお、寄生容量の低減を目的とする観点から、MIM容量素子の容量より少なくとも10%以下の容量となるように、下層金属層2Bと下層配線層12との膜厚を厚くする構造を採用することも可能である。

【0086】(作用・効果)このレイアウトを採用することにより、寄生容量の低減が図られ、MIM容量素子を有する半導体装置の機能の信頼性の向上を図ることが可能になる。

【0087】(実施の形態10)次に、本実施の形態における半導体装置のレイアウトについて説明する。本実施の形態においては、平面的に見て少なくともMIM容量素子を含むように金属配線層を配置することにより、この配線層下に配置される素子や他の配線をMIM容量素子からシールドしようとするものである。

【0088】具体的な構造としては、図37に示すように、MIM容量素子を構成する下層金属層2Bの直下に下層層間絶縁層1を設け、さらに、この下層層間絶縁層1の下方において、層間絶縁層13を介在して、金属配線層14を設けている。金属配線層14は、たとえば、TiN層14a、AlCu層14b、およびTiN/Ti層14c等から構成される。また、下層層間絶縁層1の中にも金属配線層12が設けられ、この金属配線層12と下層金属層2Bとが、層間絶縁層1のピアホール11aに設けられた配線ライン11Aにより連結されている。金属配線層12も、たとえば、TiN層12a、AlCu層12b、およびTiN/Ti層12c等から構成される。

【0089】(作用・効果)このレイアウトを採用することにより、MIM容量素子に近接して設けられる素子または配線層の、MIM容量素子からの影響を金属配線層14によりシールドすることが可能になり、MIM容量素子を有する半導体装置の機能の信頼性の向上を図ることが可能になる。

【0090】(実施の形態11)次に、本実施の形態における半導体装置のレイアウトについて説明する。上述した実施の形態1においては、層間絶縁膜8(図1参照)の平坦化を図るために、上層金属層4の膜厚さを下層金属層2Bの膜厚さよりも薄くなるように設定したが、本実施の形態においては、さらに平面的なレイアウトも考慮することで、層間絶縁膜8の平坦化を図ろうとするものである。局所的にMIM容量素子が形成された場合、MIM容量素子が存在する層間絶縁膜8はたの領域よりも高くなることが定性的に認められている。

【0091】そこで、本実施の形態においては、MIM容量素子の占有率を規定し(たとえば、300×300メッシュの場合に、10%以上50%以下)、図38の平面図に示すように、ダミーMIM容量素子の下層金属層ダミーレイヤ20の上に、上層金属層ダミーレイヤ2

1を形成し、見かけ上チップ内において、動作に寄与するMIM容量素子とダミーMIM容量素子とが均一な配置となるように設けられている。

【0092】(作用・効果)このレイアウトを採用することにより、チップ内に均一に高い領域(実際に機能するMIM容量素子と、ダミーのMIM容量素子)が形成されるため、層間絶縁膜8が、CMP研磨により均一に平坦化されることが可能になる。

【0093】なお、今回開示された実施の形態はすべて10の点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0094】

【発明の効果】以上、本発明に基いた半導体装置およびその製造方法によれば、容量素子を構成する下層金属層を、下層配線層の製造工程で同時に形成することが可能になり、配線層を下層配線層と下層金属層に分離するための、マスク(写真製版工程)を1枚追加するのみでなく、下層金属層を形成するために別工程を設ける必要がない。

【0095】また、下層金属層に通じる第1ピアホール、上層金属層に通じる第2ピアホールを形成する工程、および第1および第2ピアホール内に、それぞれ第1および第2ラインを形成する工程においても、従来の下層配線層に通じる第3ピアホール、および第3ピアホール内に、第3配線ラインを形成する工程で同時に形成することが可能になり、第1、第2ピアホール、および30第1、第2配線ラインを形成するために別工程を設ける必要がない。

【0096】さらに、上層金属層の膜厚さが、下層金属層の膜厚さよりも薄く形成されることにより、層間絶縁膜の表面のCMP技術による平坦化を容易にすることが可能となる。

【図面の簡単な説明】

【図1】実施の形態1におけるMIM容量素子を有する半導体装置の構造を示す断面図である。

【図2】図1の断面構造にしたがった半導体装置の製40造方法を示す第1の製造工程図である。

【図3】図1の断面構造にしたがった半導体装置の製造方法を示す第2の製造工程図である。

【図4】図1の断面構造にしたがった半導体装置の製造方法を示す第3の製造工程図である。

【図5】図1の断面構造にしたがった半導体装置の製造方法を示す第4の製造工程図である。

【図6】図1の断面構造にしたがった半導体装置の製造方法を示す第5の製造工程図である。

【図7】実施の形態2におけるMIM容量素子を有する半導体装置の構造を示す断面図である。

【図 8】 図 7 の断面構造にしたがった半導体装置の製造方法を示す第 1 の製造工程図である。

【図 9】 図 7 の断面構造にしたがった半導体装置の製造方法を示す第 2 の製造工程図である。

【図 10】 図 7 の断面構造にしたがった半導体装置の製造方法を示す第 3 の製造工程図である。

【図 11】 図 7 の断面構造にしたがった半導体装置の製造方法を示す第 4 の製造工程図である。

【図 12】 実施の形態 3 における MIM 容量素子を有する半導体装置の構造を示す断面図である。

【図 13】 図 12 の断面構造にしたがった半導体装置の製造方法を示す第 1 の製造工程図である。

【図 14】 図 12 の断面構造にしたがった半導体装置の製造方法を示す第 2 の製造工程図である。

【図 15】 図 12 の断面構造にしたがった半導体装置の製造方法を示す第 3 の製造工程図である。

【図 16】 図 12 の断面構造にしたがった半導体装置の製造方法を示す第 4 の製造工程図である。

【図 17】 実施の形態 4 における MIM 容量素子を有する半導体装置の構造を示す断面図である。

【図 18】 図 17 の断面構造にしたがった半導体装置の製造方法を示す第 1 の製造工程図である。

【図 19】 図 17 の断面構造にしたがった半導体装置の製造方法を示す第 2 の製造工程図である。

【図 20】 実施の形態 5 における MIM 容量素子を有する半導体装置の構造を示す断面図である。

【図 21】 図 20 の断面構造にしたがった半導体装置の製造方法を示す第 1 の製造工程図である。

【図 22】 図 20 の断面構造にしたがった半導体装置の製造方法を示す第 2 の製造工程図である。

【図 23】 図 20 の断面構造にしたがった半導体装置の製造方法を示す第 3 の製造工程図である。

【図 24】 図 20 の断面構造にしたがった半導体装置の製造方法を示す第 4 の製造工程図である。

【図 25】 図 20 の断面構造にしたがった半導体装置の製造方法を示す第 5 の製造工程図である。

【図 26】 実施の形態 6 における MIM 容量素子を有する半導体装置の構造を示す断面図である。

【図 27】 図 26 の断面構造にしたがった半導体装置の製造方法を示す第 1 の製造工程図である。

【図 28】 図 26 の断面構造にしたがった半導体装置の製造方法を示す第 2 の製造工程図である。

【図 29】 図 26 の断面構造にしたがった半導体装置の製造方法を示す第 3 の製造工程図である。

【図 30】 図 26 の断面構造にしたがった半導体装置の製造方法を示す第 4 の製造工程図である。

【図 31】 実施の形態 7 における MIM 容量素子を有する半導体装置の構造を示す断面図である。

【図 32】 図 31 の断面構造にしたがった半導体装置の製造方法を示す製造工程図である。

【図 33】 実施の形態 1 における半導体装置の問題点を示す第 1 断面構造図である。

【図 34】 実施の形態 1 における半導体装置の問題点を示す第 2 断面構造図である。

【図 35】 実施の形態 8 における半導体装置の断面構造図である。

【図 36】 実施の形態 9 における半導体装置の断面構造図である。

【図 37】 実施の形態 10 における半導体装置の断面構造図である。

【図 38】 実施の形態 11 における半導体装置の平面図である。

【符号の説明】

1 下層層間絶縁膜、2, 12 配線層、2A 下層配線層、2B 下層金属層、2a, 9a, 12a, 14a

TiN 層、2b, 4b, 9b, 12b, 14b Al

Cu 層、2c, 4c, 9c, 12c, 14c TiN

(上側) / Ti (下側) 層、3A, 3B 誘電体層、4 上層金属層、4B 空洞部、4a AlCu/Ti

層、6, 16 反射防止膜、7A, 7B, 7C, 7D,

7E, 7F, 7G, 11 配線ライン、7a, 7b, 7

c, 7d, 7e, 7f, 7g, 11a ピアホール、9

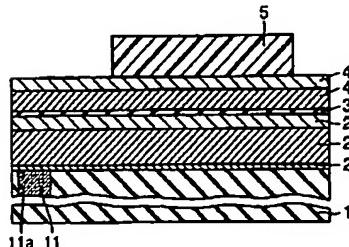
A, 9B, 9C 上層配線層、10a, 10b, 10c

サイドウォール、13 層間絶縁層、14 金属配線

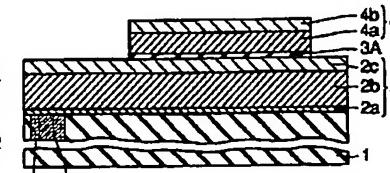
層、20 下層金属層ダミーレイヤ、21 上層金属層

ダミーレイヤ。

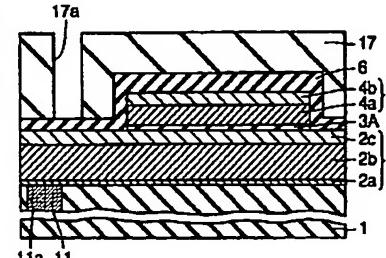
【図 2】



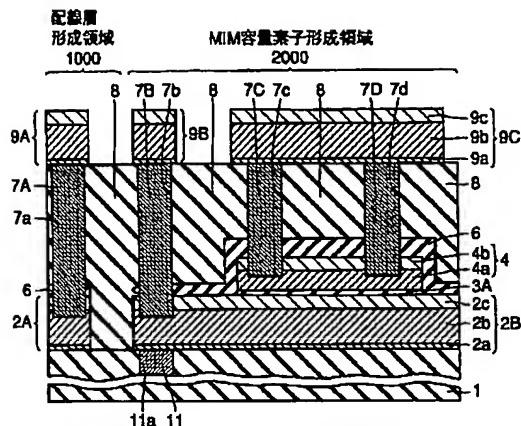
【図 3】



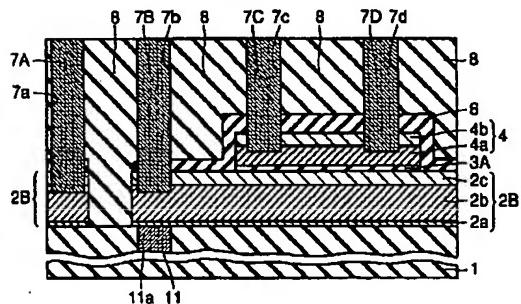
【図 4】



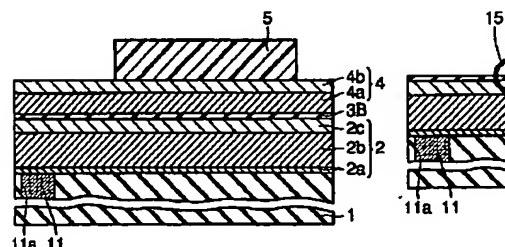
【図1】



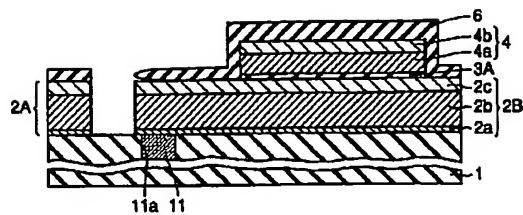
【図6】



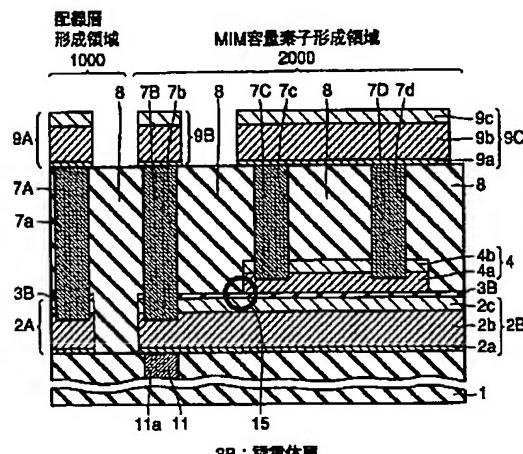
【図8】



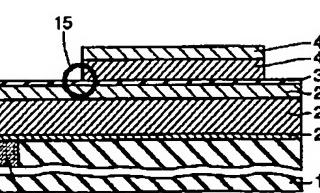
【図5】



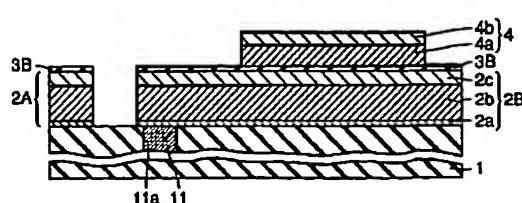
【図7】



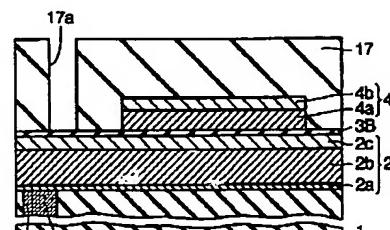
【図9】



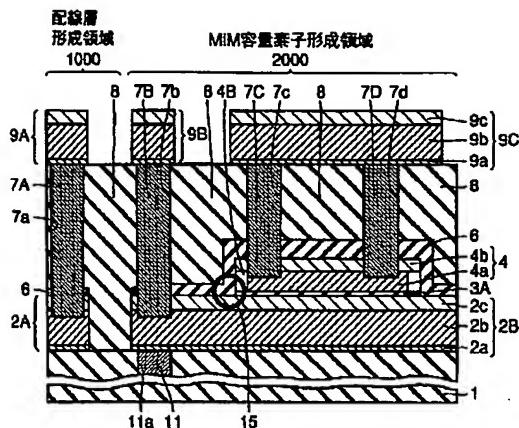
【図11】



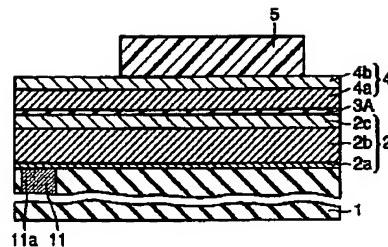
【図10】



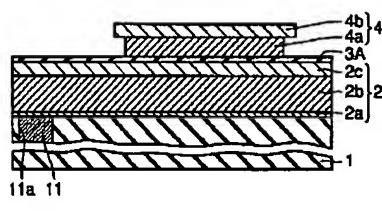
【図12】



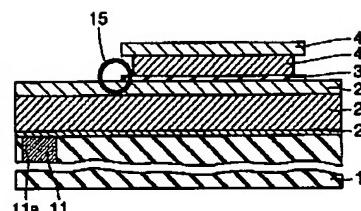
【図13】



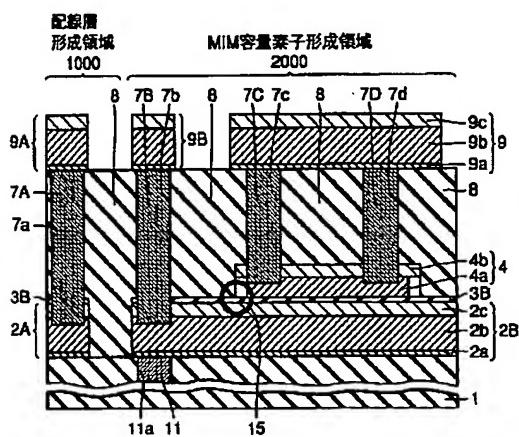
【図14】



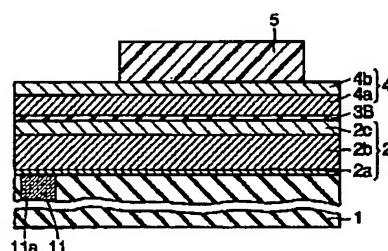
【図15】



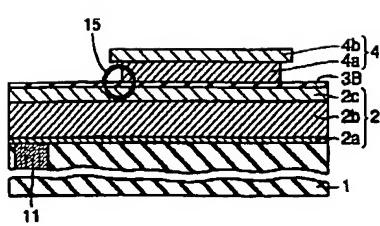
【図17】



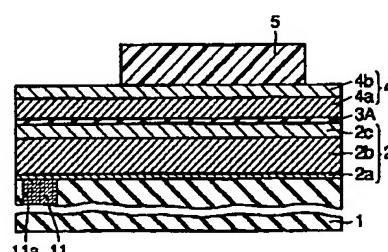
【図18】



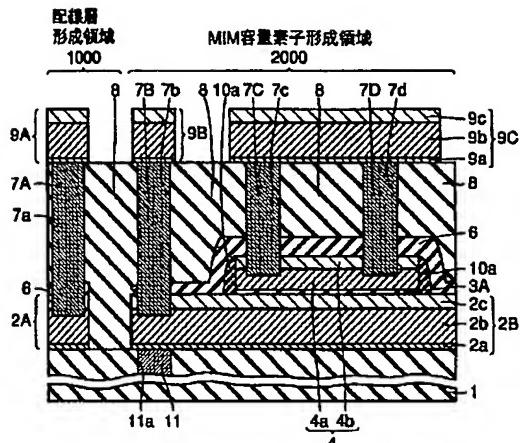
【図19】



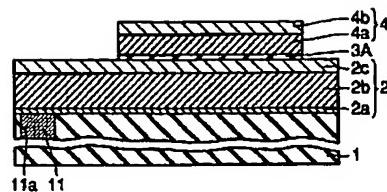
【図21】



【図20】

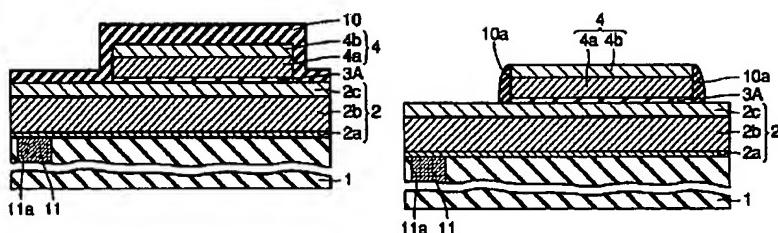


【図22】

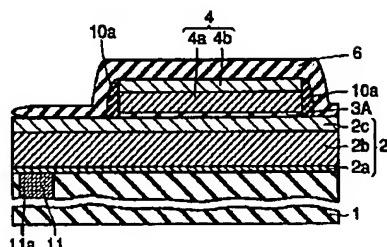


【図23】

【図24】

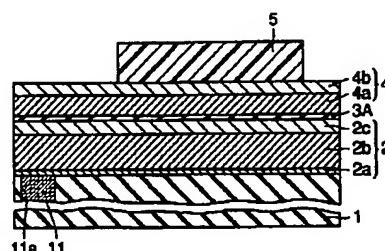
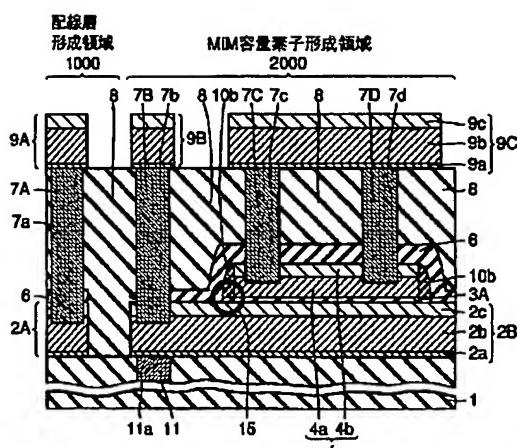


【図25】

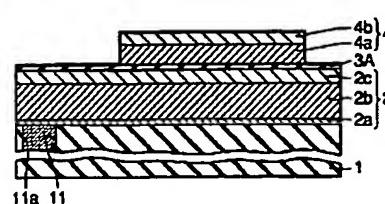


【図26】

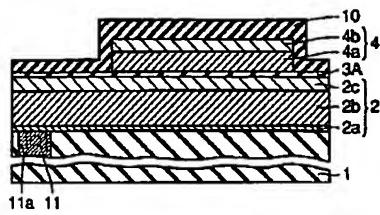
【図27】



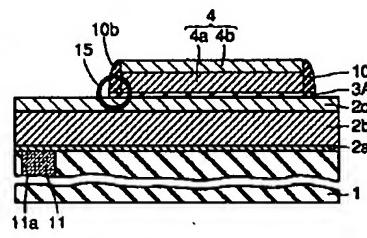
【図28】



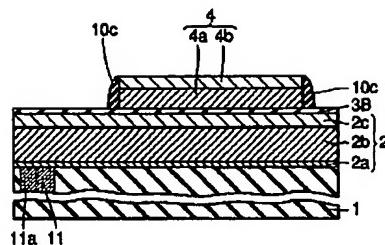
【図29】



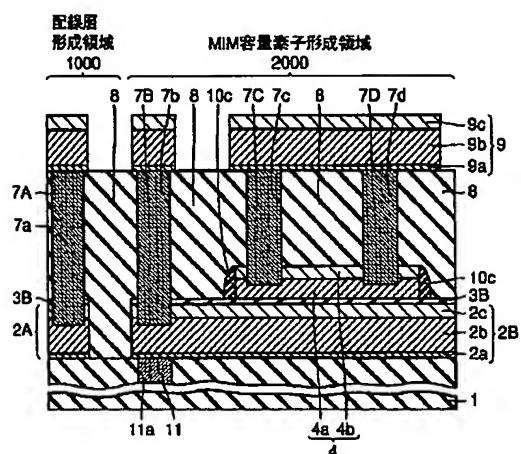
【図30】



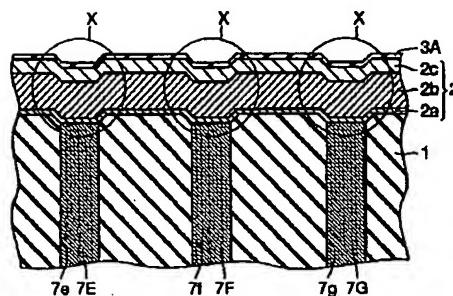
【図32】



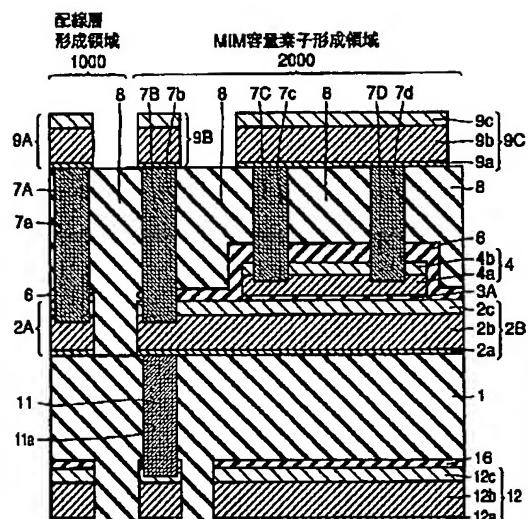
【図31】



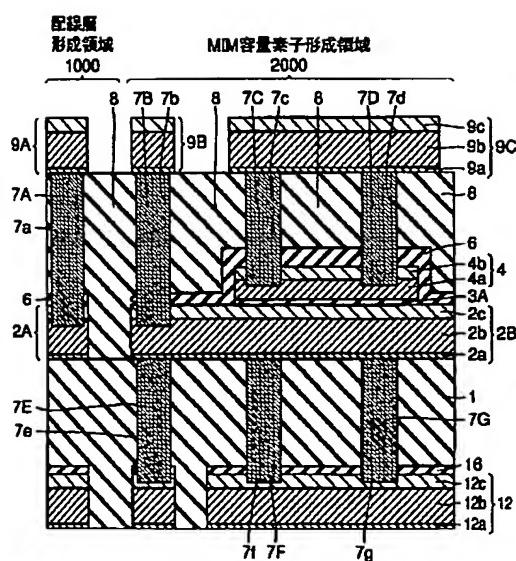
【図34】



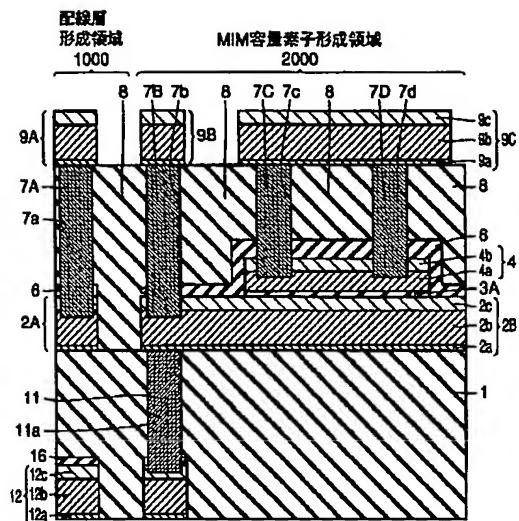
【図35】



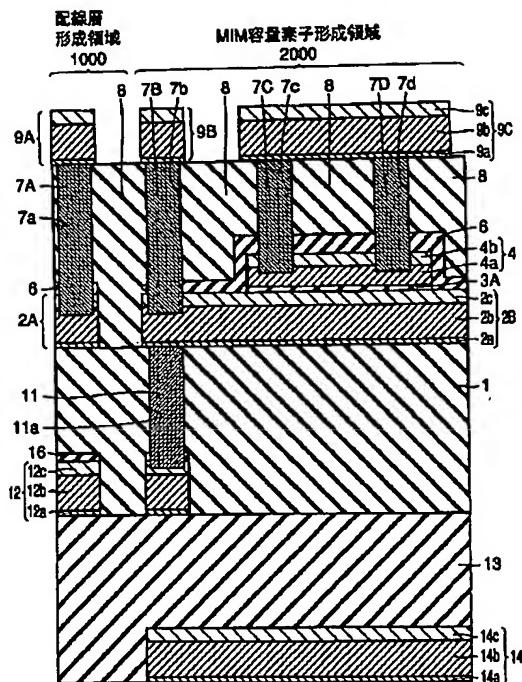
【図33】



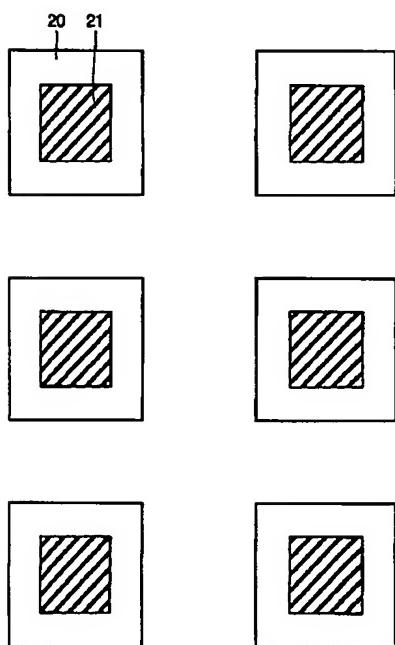
【図36】



【図37】



【図38】



フロントページの続き

F ターム(参考) 5F038 AC02 AC05 AC15 AC18 CA18
CD18 DF03 DF12 EZ14 EZ15
EZ16 EZ20